

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
009639636 **Image available**
WPI Acc No: 1993-333185/199342
XRAM Acc No: C93-147996
XRPX Acc No: N93-257191

Thin film transistor - has polysilicon@ film with more than 1/5 of
transistor channel length and more than 1/3 of width to lower leak
current NoAbstract

Patent Assignee: SONY CORP (SONY)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 5243575	A	19930921	JP 9276243	A	19920227	199342 B

Priority Applications (No Type Date): JP 9276243 A 19920227

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 5243575	A		7 H01L-029/784	

Title Terms: THIN; FILM; TRANSISTOR; POLY; SILICON; FILM; MORE; TRANSISTOR;
CHANNEL; LENGTH; MORE; WIDTH; LOWER; LEAK; CURRENT; NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-029/784

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04251875 **Image available**

THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

PUB. NO.: **05-243575** [JP 5243575 A]

PUBLISHED: September 21, 1993 (19930921)

INVENTOR(s): KIMURA TADAYUKI

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 04-076243 [JP 9276243]

FILED: February 27, 1992 (19920227)

INTL CLASS: [5] H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1483, Vol. 17, No. 706, Pg. 15,
December 22, 1993 (19931222)

ABSTRACT

PURPOSE: To perform a high ON/OFF ratio, a low leakage current and high mobility as electric characteristics by largely forming a crystalline grain size of a polycrystalline silicon film of a thin film transistor in which an active region is formed of the polycrystalline silicon film.

CONSTITUTION: An active region of a thin film transistor 10 is formed of a polycrystalline silicon film 14, and the film 14 is formed of a crystal having a size of $1/5$ or more of a channel length L and $1/3$ or more of a channel width W . A method for manufacturing the same comprises the steps of forming a gate electrode 12 on an upper surface of an insulating board 11 having an insulating surface, then forming a gate insulating film 13 covering the electrode 12, and further forming a polycrystalline silicon film 14 having a grain size of $1/5$ or more of the length L and $1/3$ or more of the width W of the transistor 10 to be formed. Then, the film 14 is reduced in thickness by surface oxidizing, and then the transistor 10 is completed.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-243575

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl.⁵

H 0 1 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H 0 1 L 29/ 78

3 1 1 H

審査請求 未請求 請求項の数2(全 7 頁)

(21)出願番号

特願平4-76243

(22)出願日

平成4年(1992)2月27日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 木村 忠之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

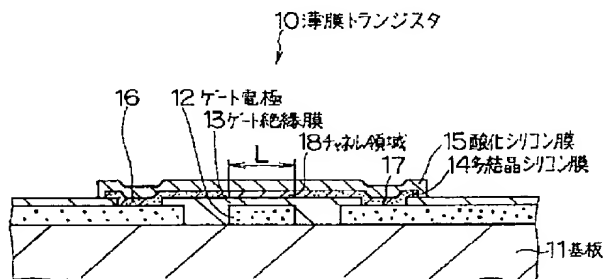
(74)代理人 弁理士 船橋 国則

(54)【発明の名称】 薄膜トランジスタおよびその製造方法

(57)【要約】

【目的】 本発明は、能動領域を多結晶シリコン膜で形成する薄膜トランジスタにおいて、多結晶シリコン膜の結晶粒径を大きく形成することにより、電気的特性として、高ON/OFF比、低リーク電流、高移動度を可能にする。

【構成】 能動領域を多結晶シリコン膜14で形成した薄膜トランジスタ10であって、多結晶シリコン膜14をチャネル長Lの1/5以上の大きさでかつチャネル幅Wの1/3以上の大きさの結晶で形成したものである。その製造方法としては、表面が絶縁性の基板11上面にゲート電極12を形成した後、それを覆うゲート絶縁膜13を形成し、さらにその上に、形成しようとする薄膜トランジスタ10のチャネル長Lの1/5以上の大きさでかつチャネル幅Wの1/3以上の大きさの粒径を有する多結晶シリコン膜14を形成する。続いて表面酸化処理により多結晶シリコン膜14を薄膜化した後、薄膜トランジスタ10を完成させる。



実施例の概略構成断面図

【特許請求の範囲】

【請求項1】 能動領域を多結晶シリコン膜で形成した薄膜トランジスタであって、

前記多結晶シリコン膜を、前記薄膜トランジスタのチャネル長の1/5以上の大きさでかつ同薄膜トランジスタのチャネル幅の1/3以上の大きさを有する粒径の結晶で形成したことを特徴とする薄膜トランジスタ。

【請求項2】 能動領域を多結晶シリコン膜で形成する薄膜トランジスタの製造方法であって、

少なくとも表面が絶縁性を有する基板の上面にゲート電極を形成した後、当該ゲート電極を覆う状態にゲート絶縁膜を形成する第1の工程と、

前記ゲート絶縁膜上に、形成しようとする薄膜トランジスタのチャネル長の1/5以上の大きさでかつ同薄膜トランジスタのチャネル幅の1/3以上の大きさの粒径を有する多結晶シリコン膜を形成する第2の工程と、

前記多結晶シリコン膜の表面を酸化して、当該多結晶シリコン膜の膜厚を薄くする第3の工程とを行うことを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、能動領域を多結晶シリコン膜で形成した薄膜トランジスタおよびその製造方法に関するものである。

【0002】

【従来の技術】能動領域を多結晶シリコン膜で形成した薄膜トランジスタでは、当該多結晶シリコン膜の結晶粒径は3nm~15nm程度であったので、薄膜トランジスタの移動度は低かった。そこで能動領域を多結晶シリコン膜で形成した薄膜トランジスタの電気的特性を改善するには、例えば能動領域を形成する多結晶シリコン膜の結晶粒径を大粒径化すればよいことが知られている。例えばスタティックRAMに搭載される薄膜トランジスタの能動領域を形成する多結晶シリコン膜は、化学的气相成長法によって非晶質シリコン膜を形成した後、低温固相結晶化法を行うことによって形成される。上記方法では、多結晶シリコンの粒径をより大きく成長させるために、非晶質シリコン膜の堆積温度を低温化して核発生速度を抑制することにより、大粒径の多結晶シリコン膜を生成する。

【0003】また薄膜トランジスタの電気的特性を改善する別の方法としては、能動領域を形成する多結晶シリコン膜を薄膜化する方法がある。多結晶シリコン膜を薄膜化する方法としては、薄膜の非晶質シリコン膜を形成した後低温固相結晶化法によって多結晶シリコン化する。この場合には、チャネル領域を完全に空乏化することができるので、薄膜トランジスタのドレイン電流(IDS)ードレイン電圧(VGS)特性の弱反転領域における傾き(以下S値と記す)が小さくなる。またドレイン端部の体積も小さくなるのでリーク電流が少なくなる。

【0004】

【発明が解決しようとする課題】しかしながら、上記非晶質シリコン膜の堆積温度を低温化して核発生速度を抑制する方法では、核は酸化シリコンの界面より不均一に発生する。このため、核発生速度を抑制すると結晶粒径は大きくなるが、結晶の大きさが不ぞろいになる。したがって、生成される多結晶シリコン膜中の応力は大きくなるので、結晶に歪みが生じる。この結果、禁制帯中の状態密度が増加する。また能動領域を多結晶シリコン膜で形成した薄膜トランジスタのリーク電流は、低電流側では生成ー再結合電流になり、高電流側ではトンネル電流になる。特にSRAMでは、トンネル電流が問題になる。つまり、トンネル電流はドレイン端での禁制帯中のトラップ準位を介したキャリアのトンネルにより発生する。このため、多結晶シリコン膜中の応力の増加は、リーク電流の増加を生じさせる。したがって、大粒径化するだけでは、リーク電流を低減することはできない。

【0005】また多結晶シリコン膜を10nm程度の厚さの薄膜に形成する場合に、薄膜の非晶質シリコン膜を形成した後、低温固相結晶化法によって多結晶シリコン化したので、結晶の粒径が非晶質シリコン膜の膜厚によって規制される。この結果、多結晶シリコン膜の結晶粒径は、最大で10nm程度の大きさにしかない。このような多結晶シリコン膜を薄膜トランジスタの能動領域に用いた場合には、移動度が低くなる。

【0006】本発明は、高移動度、高ON/OFF比を有し、リーク電流が低い薄膜トランジスタおよびその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、上記目的を達成するためになされた薄膜トランジスタおよびその製造方法である。すなわち、薄膜トランジスタとしては、能動領域を多結晶シリコン膜で形成したものであって、その多結晶シリコン膜を、薄膜トランジスタのチャネル長の1/5以上の大きさでかつ同薄膜トランジスタのチャネル幅の1/3以上の大きさの粒径を有する結晶で形成したものである。

【0008】薄膜トランジスタの製造方法としては、少なくとも表面が絶縁性を有する基板の上面にゲート電極を形成した後、当該ゲート電極を覆う状態にゲート絶縁膜を形成する。次いで第2の工程で、形成しようとする薄膜トランジスタのチャネル長の1/5以上の大きさでかつ同薄膜トランジスタのチャネル幅の1/3以上の大きさの粒径を有する多結晶シリコン膜をゲート絶縁膜上に形成する。その後第3の工程で、多結晶シリコン膜の表面を酸化して、当該多結晶シリコン膜の膜厚を薄くする。そして薄くした多結晶シリコン膜に薄膜トランジスタの能動領域を形成する。

【0009】

【作用】上記構成の薄膜トランジスタでは、能動領域を

3

形成する多結晶シリコン膜の結晶の粒径を、薄膜トランジスタのチャネル長の $1/5$ 以上の大きさでかつ同薄膜トランジスタのチャネル幅の $1/3$ 以上の大きさに形成したので、薄膜トランジスタの移動度は大きくなり、またON/OFF比は、例えば 10^6 程度またはそれ以上に高まる。なお能動領域を形成する多結晶シリコン膜の結晶の粒径が、薄膜トランジスタのチャネル長の $1/5$ より小さくまたは同薄膜トランジスタのチャネル幅の $1/3$ より小さい場合には、ON/OFF比は、例えば 10^5 程度またはそれより小さくなる。

【0010】上記製造方法では、形成しようとする薄膜トランジスタのチャネル長の $1/5$ 以上の大きさでかつ同薄膜トランジスタのチャネル幅の $1/3$ 以上の大きさの粒径を有する多結晶シリコン膜を形成した後、その多結晶シリコン膜の表面を酸化して膜厚を薄くしたので、大粒径でかつ薄膜の多結晶シリコン膜が得られる。このため、この多結晶シリコン膜で能動領域を形成した場合には、薄膜トランジスタの移動度は高くなり、そのリーク電流の値は小さくなる。

【0011】

【実施例】本発明の実施例を図1に示す概略構成断面図により説明する。図に示すように、少なくとも表面が絶縁性を有する基板11の上面にはゲート電極12が形成されている。上記基板11は、例えば酸化シリコン基板よりなる。また上記ゲート電極12は、例えばp形不純物を導入した多結晶シリコンよりなる。上記ゲート電極12を覆う状態に、酸化シリコン膜よりなるゲート絶縁膜13が形成されている。上記ゲート絶縁膜13上には、形成しようとする薄膜トランジスタ10のチャネル長(L)の長さの $1/5$ 以上の大きさでかつ同薄膜トランジスタ10のチャネル幅(W)の長さの $1/3$ 以上の大きさの粒径を有する結晶で多結晶シリコン膜14が形成されている。この多結晶シリコン膜14の表面には、酸化シリコン膜15が形成されている。

【0012】上記ゲート電極12の両側の上記多結晶シリコン膜14には、ソース・ドレイン領域16、17が形成されている。またソース・ドレイン領域16、17間の多結晶シリコン膜14がチャネル領域18になる。上記の如くに、薄膜トランジスタ10が形成されている。

【0013】次に上記構成の薄膜トランジスタ10における、ON/OFF比とチャネル長/多結晶シリコン膜14の結晶粒径(L/Dg)との関係、およびON/OFF比とチャネル幅/多結晶シリコン膜14の結晶粒径(W/Dg)との関係を、図2~図4により説明する。

【0014】まずON/OFF比とチャネル長/結晶粒径(L/Dg)との関係を、図2により説明する。図では、縦軸はON/OFF比を示し、横軸はチャネル長/結晶粒径(L/Dg)を示す。なお多結晶シリコン膜(14)は厚さを10nmにした。すなわち多結晶シリ

4

コン膜(14)の上層を20nmの厚さだけ酸化した。この多結晶シリコン膜(14)は、結晶粒径Dgがおおよそ $1\mu\text{m}$ のものをを用いた。そして、チャネル幅(W)を $0.6\mu\text{m}$ に設定し、チャネル長(L)が $0.7\mu\text{m}$ 以上 $1.2\mu\text{m}$ 以下の範囲における当該薄膜トランジスタ10のON/OFF比とチャネル長/結晶粒径(L/Dg)との関係を示した。

【0015】図に示す如く、 $L/Dg \leq 5$ の範囲ではON/OFF比の値はほぼ 5×10^6 以上の大きくなる。

10 $L/Dg > 5$ の範囲ではON/OFF比の値はほぼ 5×10^6 より小さくなる。

【0016】次にON/OFF比とチャネル幅/結晶粒径(W/Dg)との関係を、図3により説明する。図では、縦軸はON/OFF比を示し、横軸はチャネル幅/結晶粒径(W/Dg)を示す。なお多結晶シリコン膜(14)は厚さを10nmにした。すなわち多結晶シリコン膜(14)の上層を20nmの厚さだけ酸化した。この多結晶シリコン膜(14)は、結晶粒径(Dg)がおおよそ $1\mu\text{m}$ のものをを用いた。そして、チャネル長

20 (L)を $0.7\mu\text{m}$ に設定し、チャネル幅(W)が $0.5\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下の範囲における当該薄膜トランジスタのON/OFF比とチャネル幅/結晶粒径(W/Dg)との関係を示した。

【0017】図に示す如く、 $W/Dg \leq 3$ の範囲ではON/OFF比の値はほぼ 10^6 以上の大きくなる。W/Dg > 3の範囲ではON/OFF比の値はほぼ 10^6 より小さくなる。

【0018】次にON/OFF比とチャネル幅/結晶粒径(W/Dg)との関係を、図4により説明する。図では、前記図3と同様に、縦軸はON/OFF比を示し、横軸はチャネル幅/結晶粒径(W/Dg)を示す。なお多結晶シリコン膜(14)は厚さを10nmにした。すなわち多結晶シリコン膜(14)の上層を20nmの厚さだけ酸化した。この多結晶シリコン膜(14)は、結晶粒径(Dg)がおおよそ $1\mu\text{m}$ のものをを用いた。そして、チャネル長(L)を $1.2\mu\text{m}$ に設定し、チャネル幅(W)が $0.5\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下の範囲における当該薄膜トランジスタのON/OFF比とチャネル幅/結晶粒径(W/Dg)との関係を示した。

40 【0019】図に示す如く、 $W/Dg \leq 3$ の範囲ではON/OFF比の値はほぼ 10^6 以上の大きくなる。W/Dg > 3の範囲ではON/OFF比の値はほぼ 10^6 より小さくなる。

【0020】したがって、 $L/Dg \leq 5$ の範囲でかつ $W/Dg \leq 3$ の範囲になる多結晶シリコン膜(14)を用いた薄膜トランジスタ(10)のON/OFF比の値は、従来のON/OFF比の値(10^5 程度またはそれ以下)よりも一桁以上大きい 10^6 以上になる。よって、薄膜トランジスタ(10)のON/OFF比は高まる。

【0021】次に上記薄膜トランジスタ10の製造方法を、図5の製造工程図(その1)および図6の製造工程図(その2)により説明する。図5の(1)に示す第1の工程を行う。この工程では、少なくとも表面が絶縁性を有する基板11として、例えば酸化シリコン基板を用いる。まず化学的気相成長法(以下CVD法と記す)によって、この基板11の上面に多結晶シリコン膜21を、例えば50nmの厚さに形成する。その後通常のホテルソングラフィーとエッチングとによって、上記多結晶シリコン膜21の2点鎖線で示す部分を除去して、多結晶シリコンパターン22、23、24を形成する。

【0022】続いて図5の(2)に示す如く、例えばイオン注入法によって、上記多結晶シリコンパターン22~24に二フッ化ホウ素(BF_2^+)を導入する。このときのイオン注入条件としては、例えばイオン注入エネルギーを20keV、ドーズ量を $1 \times 10^{15}/\text{cm}^2$ に設定する。そして、多結晶シリコンパターン(22)をp形化して、ゲート電極12を形成する。また上記同様にして、多結晶シリコンパターン23、24をp形化し、 p^+ ソース・ドレイン取り出し電極25、26を形成する。

【0023】次いで、例えば反応ガスにテトラエトキシシランを用いた低圧CVD法によって、上記ゲート電極12の表面と上記 p^+ ソース・ドレイン取り出し電極25、26の表面とに酸化シリコン膜を、例えば35nmの厚さに形成する。さらに絶縁性を向上させるために、850℃のドライ酸化を行って、上記酸化シリコン膜の厚さを5nm程度、さらに厚くする。したがって、厚さが40nmの酸化シリコン膜27が形成される。上記ゲート電極12上の酸化シリコン膜27は、ゲート絶縁膜13になる。その後、通常のホテルソングラフィーとエッチングとによって、 p^+ ソース・ドレイン取り出し電極25、26上の酸化シリコン膜27の2点鎖線で示す部分を除去して、コンタクトホール28、29を形成する。

【0024】次いで第2の工程を行う。この工程では、まず図5の(3)に示す如く、低圧CVD法によって、上記コンタクトホール28、29の内部と上記ゲート絶縁膜13の表面と酸化シリコン膜27の表面とに非晶質シリコン膜(30)を、例えば30nmの厚さに形成する。この成膜条件としては、例えば成膜温度を450℃、成膜雰囲気圧力を0.67kPaに設定する。次いで600℃で30時間のアニール処理(低温固相結晶化処理)を行って、非晶質シリコン膜(30)を結晶化し、多結晶シリコン膜14を形成する。この多結晶シリコン膜14の結晶粒径は、例えば2μm程度の径を有する。

【0025】次いで図6の(4)に示すように、通常のホテルソングラフィーとエッチングとによって、上記多結晶シリコン膜14の2点鎖線で示す部分を除去し、残り

の多結晶シリコン膜14で能動領域形成部19を形成する。

【0026】その後第3の工程を行う。この工程では、まず図6の(5)に示すように、850℃のドライ酸化を行って、上記能動領域形成部19の表層を酸化し、10nm~20nmの厚さの酸化シリコン膜15を形成する。したがって、この酸化により、能動領域形成部19の膜厚は、10nm~20nmになる。上記酸化では、ドライ酸化を用いたが、例えばウェット酸化によって酸化を行ってもよい。また能動領域形成部19の膜厚を薄くしすぎると(例えば5nm程度またはそれ以下)、ON抵抗が非常に大きくなるために、ON電流が非常に流れ難くなる。このため、ON/OFF比が大幅に低下する。したがって、多結晶シリコン膜14よりなる能動領域形成部19は、例えば10nm程度の厚さに形成される。

【0027】次いで図6の(6)に示す如く、ゲート電極12の両側の能動領域形成部19にソース・ドレイン領域16、17を形成する。ソース・ドレイン領域16、17を形成するには、まず通常のホテルソングラフィーによって、ゲート電極12上にイオン注入マスク(図示せず)を形成する。その後通常のホテルソングラフィーによって、能動領域形成部19に、例えばp形不純物を導入して、ソース・ドレイン領域16、17を形成する。上記イオン注入条件としては、例えばp形不純物に二フッ化ホウ素(BF_2^+)を用い、イオン注入エネルギーを10keV、ドーズ量を $1 \times 10^{14}/\text{cm}^2 \sim 5 \times 10^{14}/\text{cm}^2$ に設定する。そして上記ソース・ドレイン領域16、17間の能動領域形成部19がチャネル領域18になる。

【0028】その後、図7に説明する配線工程を行う。配線工程は、まず図7の(1)に示す如く、例えばCVD法によって、酸化シリコン膜15側の全面に層間絶縁膜31を形成する。この層間絶縁膜31は、例えば酸化シリコンよりなる。次いで通常のホテルソングラフィーとエッチングとによって、ソース・ドレイン取り出し電極25、26上の層間絶縁膜31と酸化シリコン膜27とにコンタクトホール32、33を形成する。続いて例えばイオン注入法によって、全面に二フッ化ホウ素(BF_2^+)をイオン注入した後、1050℃の温度雰囲気中で10秒間の急速加熱アニール(RTA)処理を行って、ソース・ドレイン領域16、17を活性化する。

【0029】次いで図7の(2)に示すように、例えばスパッタ法によって、コンタクトホール32、33の内部と層間絶縁膜31の表面とに、例えば配線用金属膜34を形成する。この配線用金属膜34は、例えばアルミニウムまたはアルミニウム合金により形成する。続いて通常のホテルソングラフィーとエッチングとによって、上記配線用金属膜34の2点鎖線で示す部分を除去し、 p^+ ソース・ドレイン取り出し電極25、26に接続する

7

金属配線35, 36を形成する。

【0030】その後図7の(3)に示す如く、例えばプラズマCVD法によって、金属配線35, 36側の全面に、パッシベーション膜37として、例えばプラズマ窒化シリコン(p-SiN)膜を形成する。さらに金属配線35, 36をシンター処理する。

【0031】上記製造方法では、薄膜トランジスタ10のチャネル長(L)の1/5以上の大きさでかつ同薄膜トランジスタ10のチャネル幅(W)の1/3以上の大きさの粒径を有する多結晶シリコン膜14を形成した後、その多結晶シリコン膜14の表面を酸化して、当該多結晶シリコン膜14の膜厚を薄くしたので、大粒径でかつ薄い多結晶シリコン膜14が得られる。この多結晶シリコン膜14で能動領域形成部19を形成したことにより、薄膜トランジスタ10の電気的特性として、例えばON/OFF比の向上が図れる。またリーク電流の値は小さくなり、移動度は高くなる。

【0032】また上記製造方法では、n形の薄膜トランジスタで説明したが、p形の薄膜トランジスタでも同様に形成することが可能である。

【0033】

【発明の効果】以上、説明したように請求項1の発明によれば、能動領域を形成する多結晶シリコン膜が、薄膜トランジスタのチャネル長の1/5以上の大きさでかつ同薄膜トランジスタのチャネル幅の1/3以上の大きさを有する粒径の結晶で形成されているので、薄膜トランジスタのON/OFF比を高めることができ、かつ移動度を大きくすることが可能になる。また請求項2の発明

8

によれば、薄膜トランジスタのチャネル長の1/5以上の大きさでかつ同薄膜トランジスタのチャネル幅の1/3以上の大きさを有する粒径の結晶よりなる多結晶シリコン膜を形成した後、その多結晶シリコン膜の表面を酸化して膜厚を薄くしたので、当該薄膜トランジスタのON/OFF比を高めることができ、かつ移動度を大きくすることが可能になるとともに、リーク電流の値を小さくすることができる。

【図面の簡単な説明】

10 【図1】実施例の概略構成断面図である。

【図2】ON/OFF比とチャネル長/結晶粒径(L/D_g)との関係図である。

【図3】ON/OFF比とチャネル幅/結晶粒径(W/D_g)との関係図である。

【図4】ON/OFF比とチャネル幅/結晶粒径(W/D_g)との別の関係図である。

【図5】実施例の製造工程図(その1)である。

【図6】実施例の製造工程図(その2)である。

【図7】配線の製造工程図である。

20 【符号の説明】

10 薄膜トランジスタ

11 基板

12 ゲート電極

13 ゲート絶縁膜

14 多結晶シリコン膜

15 酸化シリコン膜

18 チャネル領域

19 能動領域形成部

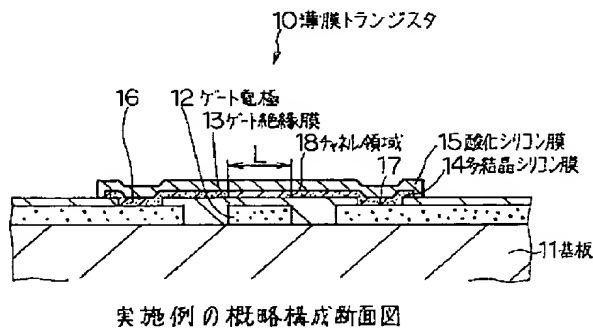
16

17

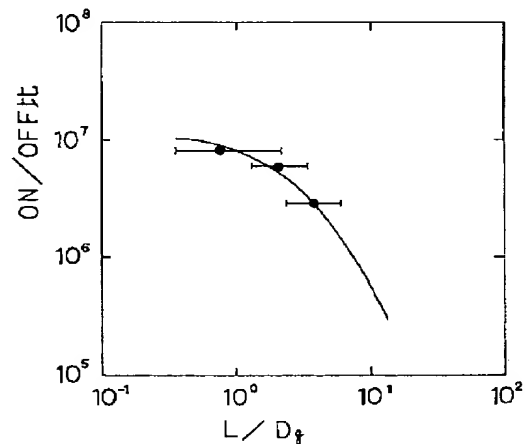
18

19

【図1】

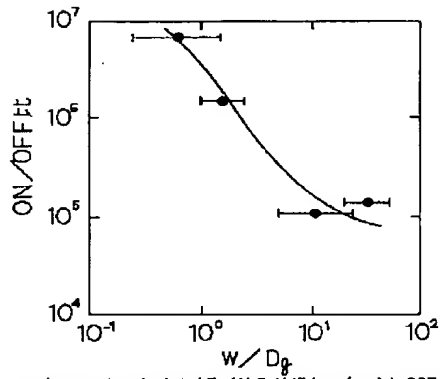


【図2】

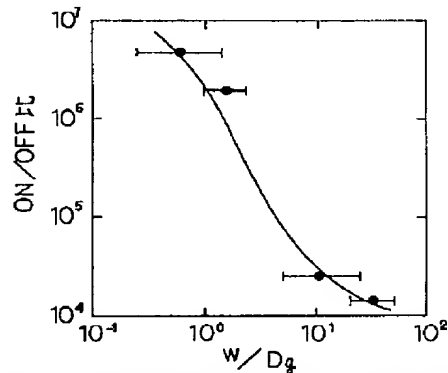


ON/OFF比とチャネル長/結晶粒径(L/D_g)との関係図

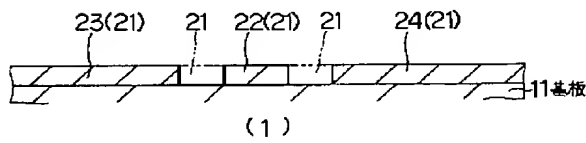
【図3】

ON/OFF 比とチャネル幅/結晶粒径(W/D_g)との関係図

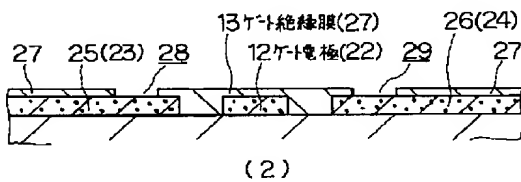
【図4】

ON/OFF 比とチャネル幅/結晶粒径(W/D_g)との別の関係図

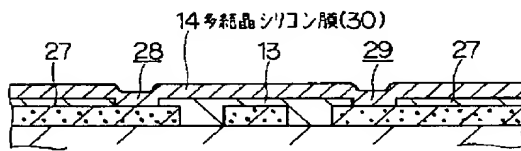
【図5】



(1)



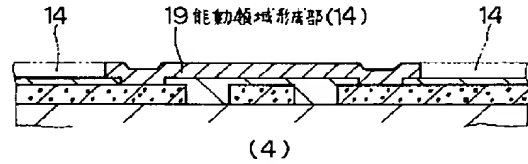
(2)



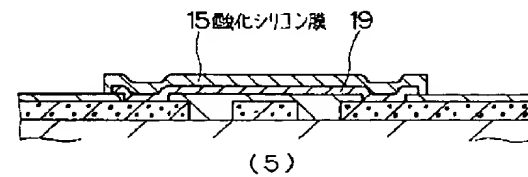
(3)

実施例の製造工程図(その1)

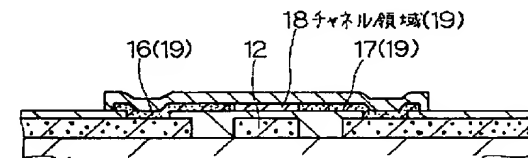
【図6】



(4)



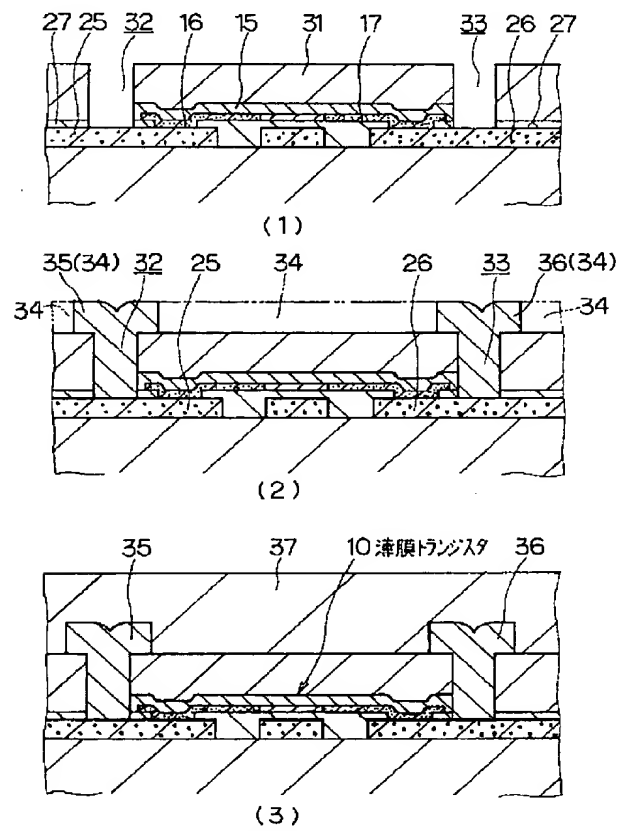
(5)



(6)

実施例の製造工程図(その2)

【図7】



配線の製造工程図